

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-301612

(43)Date of publication of application : 19.11.1996

(51)Int.Cl.

C01B 33/02  
H01L 21/265  
H01L 21/28  
H01L 29/78  
H01L 21/336

(21)Application number : 08-068786

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.03.1996

(72)Inventor : TSUCHIAKI MASAKATSU

(30)Priority

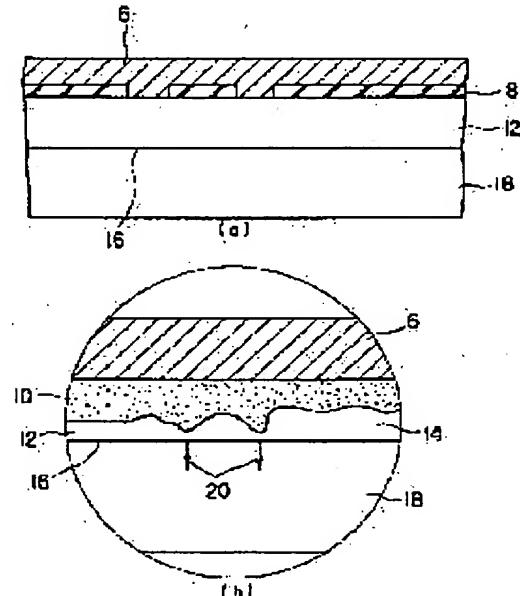
Priority number : 95 409819 Priority date : 24.03.1995 Priority country : US

(54) PREVENTION OF OXIDATION OF SILICON SURFACE, FORMATION OF SILICIDE LAYER ON SILICON SURFACE AND FORMATION OF OXIDIZED LAYER ON VERTICAL SURFACE OF OVERHEAD-TYPE SEMICONDUCTOR STRUCTURE

(57)Abstract:

PURPOSE: To provide a method for forming a smooth, flat and stable silicide layer by exposing a silicon surface to carbon-contg. plasma to form a carbon-contg. silicon surface layer in order to prevent the silicon surface from oxidation.

CONSTITUTION: Silicide/silicon interface 14 is uneven and irregular due to a fragile and heterogeneous SiO<sub>2</sub> surface 8 on a silicon diffused layer and the advance of selective silicide formation along a specific crystal direction. Several portions of a silicide film 10 projected into the diffused layer come nearer to or reach a junction 16 between the silicon diffused layer and the silicon region 18 thereunder as shown in the figure (b), resulting in junction leaks (arrows 20). In this method, by using carbon-contg. plasma, a thin carbon-contg. silicon layer (<100&angst;) is formed on the surface of silicon or a silicon layer to suppress the oxidation on the silicon surface and form a slightly noncrystallized surface.



## LEGAL STATUS

[Date of request for examination] 31.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-301612

(43)公開日 平成8年(1996)11月19日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
C 01 B 33/02		C 01 B 33/02		Z
H 01 L 21/265		H 01 L 21/28		A
21/28		21/265		F
29/78		29/78		3 0 1 P.
21/336				

審査請求 未請求 請求項の数17 OL (全10頁)

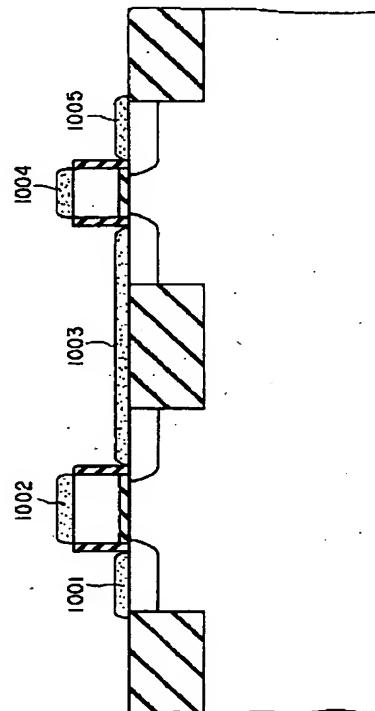
(21)出願番号	特願平8-68786	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)3月25日	(72)発明者	土明 正勝 アメリカ合衆国、ニューヨーク州 12524、 フィッシュキル、グリーンヒル・ドライブ 16エー
(31)優先権主張番号	409819	(74)代理人	弁理士 鈴江 武彦
(32)優先日	1995年3月24日		
(33)優先権主張国	米国(US)		

(54)【発明の名称】シリコン表面の酸化防止方法、シリコン表面にシリサイド層を形成する方法および高架型半導体構造の垂直面上に酸化層を形成する方法

(57)【要約】

【課題】 本発明は、シリコン上に非常に薄い炭素含有シリコン表面層を形成することによりシリコン表面上のシリコンの酸化を抑制する方法を目的としている。本発明は、基板の各部分の水平部分にのみ均一なシリコン層を形成する方法も目的としている。

【解決手段】 シリコン表面は、炭素含有プラズマに露呈されて炭素含有シリコン層を形成する。炭素処理は、プラズマからのイオン衝撃によってシリコン表面をわずかに非晶質にする。酸化物がなく、わずかに非晶質のシリコン表面は、シリコンとそこに成膜される金属間のシリサイド化反応の均質な進行を促進し、薄いが平坦で安定したシリサイド膜を形成する。シリコン層は、デバイスの露出しているすべての表面に符号するように成膜される。次に、水平面は炭素含有プラズマに露呈されて水平面上に抗酸化層を形成する。次に、連続酸化がシリコンの垂直部分で選択的に進行する。レベルが異なる各水平シリコン層は影響を受けずに、互いに電気的に絶縁される。



## 【特許請求の範囲】

【請求項 1】 シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成することを含むことを特徴とするシリコン表面の酸化防止方法。

【請求項 2】 シリコンがシリコン拡散層であることを特徴とする請求項 1 記載のシリコン表面の酸化防止方法。

【請求項 3】 約 10 オングストローム～ 50 オングストロームの厚さを有する炭素含有シリコン表面層を形成することをさらに含むことを特徴とする請求項 1 記載のシリコン表面の酸化防止方法。

【請求項 4】 約 1 原子%～ 50 原子%の炭素量を有する炭素含有シリコン表面層を形成することをさらに含むことを特徴とする請求項 1 記載のシリコン表面の酸化防止方法。

【請求項 5】 炭素層をシリコン表面に形成し、ついで炭素層にイオンを衝突させてシリコン表面に炭素原子を入れることを特徴とするシリコン表面の酸化防止方法。

【請求項 6】 シリコン表面上に金属シリサイド層を形成する方法において、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成し、炭素含有シリコン表面層上に金属シリサイド層を形成し、その際、炭素含有シリコン層が酸化を防止して非結晶質化表面を形成することを含むことを特徴とする金属シリサイド層を形成する方法。

【請求項 7】 シリコンがシリコン拡散層であることを特徴とする請求項 6 記載の金属シリサイド層を形成する方法。

【請求項 8】 約 10 オングストローム～ 50 オングストロームの厚さを有する炭素含有シリコン表面層を形成することをさらに含むことを特徴とする請求項 6 記載の金属シリサイド層を形成する方法。

【請求項 9】 1 原子%～ 50 原子%の炭素量を有する炭素含有シリコン表面層を形成することをさらに含むことを特徴とする請求項 6 記載の金属シリサイド層を形成する方法。

【請求項 10】 シリコン表面上に金属を成膜する工程を含む、シリコン表面上に金属シリサイド層を形成する方法であつて、金属を成膜する以前に、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成し、酸化を防止して非結晶質化表面を形成する工程を含むことからなるシリコン表面上に金属シリサイド層を形成する方法。

【請求項 11】 金属がシリコン拡散層上に成膜されることを特徴とする請求項 10 記載のシリコン表面上に金属シリサイド層を形成する方法。

【請求項 12】 約 10 オングストローム～ 50 オングストロームの厚さを有する炭素含有シリコン表面層を形成することをさらに含むことを特徴とする請求項 10 記載のシリコン表面上に金属シリサイド層を形成する方

法。

【請求項 13】 1 原子%～ 50 原子%の炭素量を有する炭素含有シリコン表面層を形成することをさらに含むことを特徴とする請求項 10 記載のシリコン表面上に金属シリサイド層を形成する方法。

【請求項 14】 垂直面と水平面を有する高架型半導体構造の垂直面上に酸化層を形成する方法において、高架構造の垂直面と水平面の両方にシリコン層を形成する工程と、プラズマ炭素処理によって水平面上のシリコン層の部分に炭素含有シリコン表面層を形成し、それによって炭素含有シリコン表面層が水平面の酸化を抑制し、非結晶質化表面を形成し、垂直面上のシリコン層部分を酸化させる工程とを含むことを特徴とする高架型半導体構造の垂直面上に酸化層を形成するから成る方法。

【請求項 15】 炭素含有シリコン表面がシリサイド化されることをさらに含むことを特徴とする請求項 14 記載の高架型半導体構造の垂直面上に酸化層を形成する方法。

【請求項 16】 高架半導体構造が高架型ソース／ドレイン構造であることを特徴とする請求項 14 記載の高架型半導体構造の垂直面上に酸化層を形成する方法。

【請求項 17】 酸化物を垂直面から除去することをさらに含むことを特徴とする請求項 14 記載の高架型半導体構造の垂直面上に酸化層を形成する方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、シリコン表面の酸化防止方法、シリコン表面にシリサイド層を形成する方法、および高架型半導体構造の垂直面上に酸化層を形成する方法に関する。

## 【0002】

【従来の技術】 個々のシリコン半導体装置 (MOSFET およびバイポーラトランジスタなど) の寸法あるいはサイズは、超大規模集積回路 (ULSI) の高性能化と高集積密度化を追求して継続的に小型化されている。したがつて、こうした半導体装置の個々の部分、つまり拡散層およびかかる層の深さなども小さくされている。拡散層は、シリコンウェハ内の方の導電性を有する領域に他方の導電性の不純物を導入することにより形成される。これは、p-n または n-p ジャンクションを形成する。薄い拡散層は、層内の電流の流れに対して大きな電気抵抗を生じるので、電気信号の伝達を遅くする。高速動作を得ることは高性能の ULSI にとって非常に望まれることであり、そのためには、この抵抗を減少させることが重要である。

【0003】 薄いシリコン拡散層の大きな電気抵抗を軽減する一つの期待できる方法は、シリコン拡散層とシリコン拡散層の上部に成膜される金属との間に合金を形成することである (シリサイド化)。この合金 (シリサイド) は、シリコン拡散層内のシリコンよりも著しく低い

抵抗性を有し、抵抗の低い電流路を形成する。

【0004】シリサイド化は拡散層を消費して合金を形成するので、拡散層との粗い界面を有する厚いシリサイド層は、拡散層を貫通してその下方にあるシリコン領域にまで到達する。シリサイド層がシリコン領域にまで到達すると、拡散層とその下方にあるシリコン領域間のジャンクションを介して望ましくない電流路が形成される。こうなると拡散層は電流を制限することができず、拡散層はその要求される機能が果たせなくなる。複数のジャンクションを有する半導体装置内のたった1個のジャンクションにシリサイド層が到達した場合でも、半導体装置の能力は失われ、ULSI回路全体はその機能を損なう。したがって、薄いシリコン拡散層上に薄いが滑らかでしかも安定したシリサイド膜を形成することはきわめて重要である。しかしながら、こうした薄いが滑らかでしかも安定したシリサイド膜をシリコン拡散層上に形成するには、大きい障害が少なくとも2つある。

【0005】第一に、拡散層のシリコン表面が室温の大気など酸素含有環境に露呈されると、薄いSiO<sub>2</sub>層が拡散層のシリコン表面上に形成されるのは避けられない。形成されたSiO<sub>2</sub>層は、一般的にもろくて均質ではなくしかも不連続性の、弱くて薄い層である。SiO<sub>2</sub>に対して親和性が低い金属(Co、Ni、Mo、W、Ptなど)はSiO<sub>2</sub>に反応しないので、シリコンと成膜金属間に存在する薄いSiO<sub>2</sub>層でさえも、シリサイド化反応を妨げる。したがって、SiO<sub>2</sub>膜はシリサイド化反応を妨げる、つまりシリサイド化反応を弱いSiO<sub>2</sub>層の部分的な局所に制限し、シリサイドと拡散層間に不規則な界面を生じる。SiO<sub>2</sub>を減少させることができる金属(Tiなど)の場合でも、シリコン表面上のこうした不均質なSiO<sub>2</sub>層は、シリサイド化反応の均質な開始に影響を及ぼす。それは、金属とSiO<sub>2</sub>間の反応速度が、金属とシリコン間の反応速度よりもはるかに遅いためである。

【0006】第二に、拡散層内のシリコンの結晶質が悪影響を及ぼす。不揃いの原子構成、従って等方性の非晶質構造と異なり、結晶構造はかなり異方性である。シリサイドとシリコンとの界面の自由エネルギーおよび金属とシリコンの拡散率は、シリコンの結晶化度によって決まる。したがって、いくつかのシリサイド化プロセス

(NiSiの形成など)が、1つの選択的な結晶面(例えば、(111)面)に沿って進行する傾向がある。工業規格(100)のウエハを使用する場合、特定の結晶面におけるシリサイド化の選択的な進行は、非水平面におけるシリコン内にシリサイドを突出させる。上記の通り、シリコン拡散層とその下方にあるシリコン間のジャンクションに到達したシリサイドは、ジャンクションの漏れ電流を生じるので、浅いジャンクションには有害である。

【0007】シリコン拡散層もしくはシリコン層または

シリコン基板上にシリサイド層を形成する方法に関する問題は、先行技術で扱われてきた。例えば、シリサイド化以前に、シリコン基板を弗化水素酸(弗化水素HFの水溶液)に浸漬すると、SiO<sub>2</sub>のないシリコン表面をシリサイド化のために形成することができる。この方法(HF処理)は、SiO<sub>2</sub>およびその他の材料を基板表面から除去するために広く使用されている。しかしながら、この方法は満足されるものではない。その理由は、HF処理したシリコン表面が、HFリノス装置から金属成膜装置までのウエハの取り扱い時に大気に露呈されるのを避けられず、大気中の酸素によって、シリコン表面上にやはり薄いSiO<sub>2</sub>層が成長してしまうからである。HF処理は、望ましくない酸化物の成長を避けるために金属成膜の直前に行うべきである。しかしながら、HF処理工程から金属成膜工程への迅速な移行は、それぞれの装置を操作するという制約の点で困難である。

【0008】表面のSiO<sub>2</sub>を除去する他の手段としては、逆スパッタリング法がある。この方法では、シリコン表面を、通電された粒子の衝撃に露呈して、シリコン表面からSiO<sub>2</sub>を逆スパッタにより除去する。この処理は金属成膜と同じチャンバで行うことができるので、逆スパッタリングから金属成膜へ迅速に移行することができ、基板は大気には露呈されない。しかしながら、この方法では、衝突する粒子の密度が低く(効果的ではない)、粒子のエネルギーが高いので、シリコン基板に損傷を生じる場合がある。更に、薄い拡散層(浅いジャンクション)があると、損傷は、拡散層とその下方にある基板のジャンクションに達し、ジャンクションを介して漏れ電流を誘発する場合がある。もう一つの問題点は、炭素含有ガスなど、一定のガスは不純物を誘導し、この不純物は、その後の金属成膜工程で金属層に導入される可能性があることである。チャンバを不純物のない状態に保つには、ArおよびXeなどの不活性ガスを使用して逆スパッタリングを行わなければならない。

【0009】薄い拡散層上にシリサイド層を形成する他の方法は、拡散層上に追加のシリコン層を成膜して、シリサイド化プロセスで消費されたシリコンを補うことである。追加のシリコン層を補うことにより、シリサイド層は、拡散層を消費せずに薄い拡散層内に形成されたかのように形成されることができる。こうした方法は、薄い拡散層に関連する問題をわずかではあるが緩和する。

【0010】構成上の適用では、シリサイド反応は、MOSFETのソース/ドレイン領域など、選択された拡散層上にのみ必要である。しかしながら、シリコンがゲート電極とソース/ドレイン領域間の側壁上にも成膜されると、シリコンは金属と反応してシリサイドを形成し、ゲート電極とソース/ドレイン領域間に電気的短絡を生じる。こうした電気的短絡を避けるには、ソース/ドレイン領域とゲート電極上にのみシリコン層を選択成

膜し（つまり、高架型ソース／ドレインMOSFET構造）、側壁の絶縁膜と電気的分離のためのその他の絶縁膜（電界SiO<sub>2</sub>など）上には成膜してはならない。こうした選択シリコン成膜は、エピタキシャル成長技法を用いて達成することができる。しかしながら、この技法は、基板の表面状態に非常に敏感なので難しい。

【0011】成膜されるシリコン膜の厚さは、その下方にある基板の表面の粗さと結晶構造によって決まる。例えば、数種の拡散層が存在する場合、これらの各拡散層は異なる特性を有する場合がある。その結果、拡散層上に成膜されるシリコン層は、厚さが異なる場合がある。更に、拡散層の表面に不純物つまりSiO<sub>2</sub>が存在すると、成膜プロセスに悪影響を及ぼす。

【0012】最適な性能を達成するには、シリサイド膜の形成を厳密に制御して、成膜されたシリコン層全体を消費し、拡散層のシリコンを消費しないようすべきである。成膜されたシリコン層は、拡散層よりも電気抵抗がはるかに高いので消費されなければならない。しかしながら、シリコン層の厚さにばらつきがあると、シリサイド化プロセスに適切な厚さの金属膜を成膜することが不可能となり、成膜されたシリコンを消費する。

【0013】特定の結晶方向におけるシリサイド化の選択的な進行についての問題を解決するためには、シリコン表面の非結晶質化が使用されてきた。例えば、金属成膜以前のシリコン基板に対するイオン注入（ArまたはSiイオン注入など）は、シリコン表面の結晶構造を破壊する。非晶質層は原子の配列に特定の順序がないので、特定のすなわち選択的な方向ではなく、シリサイド化は特定の結晶方向には進行しない。しかしながら、低エネルギー（500 eV未満）および高ドース量のイオン注入は利用できない。したがって、イオン注入による非結晶質化は、逆スパッタリングの場合と同様に効果的でなく、シリコン基板を損なう。

#### 【0014】

【発明が解決しようとする課題】以上詳しく説明した通り、SiO<sub>2</sub>を抑制するためのシリコン表面の効果的な処理およびシリサイド化以前の適切な表面処理に対し多くの問題があった。また滑らかで一様なシリサイド層の形成を促進するためにシリコン表面を効果的に処理しなければならないという問題もあった。

【0015】本発明は、シリコン表面の酸化を防止する方法を提供することを目的としている。本発明は、また、シリコン表面に、なめらかで平坦かつ安定したシリサイド層を形成する方法を提供することを目的としている。さらに本発明は、垂直面と水平面を有する高架型半導体構造の垂直面上にのみ酸化層を形成する方法と提供することを目的としている。

#### 【0016】

【課題を解決するための手段】本発明の酸化防止方法は、シリコン表面を炭素含有プラズマに露呈して炭素含

有シリコン表面層を形成することを含んでいる。シリコン表面の酸化を防止するこのプロセスは、非常に薄い拡散層上のシリサイド膜の形成および／または高架ソース／ドレインMOSFETの形成に関連して特に有用である。本発明の金属シリサイド層を形成する方法は、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成し、炭素含有シリコン表面層上に金属シリサイド層を形成し、その際、炭素含有シリコン層が酸化を防止して非結晶質化表面を形成することを含んでなる。また、本発明の金属シリサイド層を形成する方法は、金属を成膜する以前に、シリコン表面を炭素含有プラズマに露呈して炭素含有シリコン表面層を形成し、酸化を防止して非結晶質化表面を形成する工程を含んでなる。これらの方法では、シリコン表面に炭素が導入され、表面を炭素含有プラズマに露呈することにより薄い炭素含有シリコン表面層を形成する。炭素含有シリコン表面層は、シリコンの酸化を抑制する。プラズマからのイオン衝撃もシリコン表面に薄い非晶質層を生成し、結晶面におけるシリサイド化の不均質な進行を妨げる。したがって、滑らかで一様なシリサイド層を炭素含有シリコン層によって形成することができる。さらに、本発明の高架型半導体構造の垂直面上に酸化層を形成する方法は、高架構造の垂直面と水平面の両方にシリコン層を形成する工程と、プラズマ炭素処理によって水平面上のシリコン層の部分に炭素含有シリコン表面層を形成し、それによって炭素含有シリコン表面層が水平面の酸化を抑制し、非結晶質化表面を形成し、垂直面上のシリコン層部分を酸化させる工程を含んでなる。このプロセスによれば、基板上の一定部分の水平面にのみシリコン層を選択的に形成することができる。このプロセスでは、一様なシリコン層が、当該部分（つまり、水平面と垂直面上）の表面に符号して形成される。次に、当該部分は炭素含有プラズマに露呈される。反応イオンエッティング（RIE）と同様、炭素は基板に対して垂直の角度で衝突するので、水平面だけが処理される（抗酸化層の形成）。これで、酸化は垂直面のシリコン層上で進行することができ、必要なら、それによって、水平面上のシリコンは抗酸化層のために損なわれないままである。結果として生じる垂直面上の酸化物層は、例えばHF処理を用いて除去剥ることができる。あるいは酸化物層は、絶縁膜として使用することができる。上記の一般的な説明および下記の詳しい説明は例示および説明に過ぎず、請求されている本発明を限定するものではないことは理解されるべきである。

#### 【0017】

##### 【発明の実施の形態】

###### （1）抗酸化層の形成

本発明は、シリコン上のSiO<sub>2</sub>の成長を抑制する方法に指向している。より詳しくは、本発明は、表面を炭素含有プラズマに露呈することによってシリコン表面上に

非常に薄い炭素含有層を形成し、表面上の酸化の進行を抑制する方法に関するものである。この抗酸化層の形成は、シリサイド化プロセス（つまり、シリコンとシリコン表面上に成膜される特定の金属間に合金を形成する反応）以前のシリコンウエハへの表面処理として有用であり、小形の高速シリコン半導体装置を具現する。本発明は、露出したシリコン部分の水平面上に抗酸化層を選択的に形成し、高架（elevated）ソース／ドレインMOSFET（金属／酸化／半導体電解効果トランジスタ）構造の製造工程を単純化することも目的としている説明の便宜上、シリコン基板に言及して説明するが、本発明はシリコン基板にのみ限定されるものではない。シリコンは、非晶質、ポリもしくは結晶質シリコン層またはシリコン基板など従来の技術で使用されている任意のシリコンを用いることができる。シリコン基板は、バルクシリコンウエハまたはSOIウエハなど公知の技術の範囲の任意の基板を用いることができる。シリコン層は、シリコン拡散層でよい。

【0018】図1（a）は、不均質なSiO<sub>2</sub>表面（8）を有する薄いシリコン拡散層（12）上の金属（6）のシリサイド化によって形成される薄いシリサイド膜（10）の形成を表す、図1（b）はその一部の拡大図である。シリサイド／シリコンの界面（14）は、シリコン拡散層上の脆弱で不均質なSiO<sub>2</sub>表面と、特定の結晶方向に沿う選択的なシリサイド化の進行により、平坦ではなく凸凹でかつ不規則である。拡散層内に突出するシリサイド膜のいくつかの部分は、図1（b）に示すように、シリコン拡散層と拡散層の下のシリコン領域（18）間のジャンクション（16）に近接するあるいは到達し、ジャンクションの漏れを生じる（矢印（20）で示す）。

【0019】本発明の方法は、炭素含有プラズマを用いて、シリコンあるいはシリコン層の表面上に非常に薄い（<100オングストローム）炭素含有シリコン層を生成する。その結果生じる炭素含有シリコン層は、シリコン表面上の酸化を抑制し、わずかに非結晶質化した表面を形成する。

【0020】炭素含有プラズマは、公知の技術の範囲内の効果的な方法で生成することができる。炭素の供給源は、プラズマ内に炭素粒子を提供できる任意の供給源で良い。例えば、炭素含有プラズマは、CF<sub>4</sub>、CHF<sub>3</sub>、CCl<sub>4</sub>および／またはCH<sub>4</sub>をプラズマ内に注入することにより形成することができる。あるいは、炭素含有プラズマは、炭素含有材料（例えば、炭素または炭化珪素）をアルゴンプラズマ内で使用することにより生成することができる。炭素は、基板に使用されるフォトレジストマスクからRIEなどのプラズマ処理の際にシリコン基板またはシリコン層内にも導入される。

【0021】プラズマが周囲の部材（例えば、チャンバ壁およびシリコン基板）に抗して発生させ、そのプラズ

マ状態を持続する正のセルフバイアスによって、すべての正電荷炭素粒子は、当該シリコン基板またはシリコン層上に垂直に衝突する。いかなるものが、衝突する炭素粒子を形成しても、炭素は、シリコン表面に衝突すると個々の原子に分解し、シリコンマトリックス内に散乱する。シリコン内に導入された炭素原子は、最も近接したシリコン原子とある程度の化学結合（C-Si）を形成する傾向がある。特定の理論に捕らわれるのは望ましくはないが、炭素原子と周辺のシリコン原子との化学結合は、シリコンの酸化を抑制すると考えられている。

【0022】図2は、1000°Cで5分間酸化した後の酸化膜の厚さをシリコンとの化学結合を形成する炭素原子の量の関数として示している。炭素原子の量は、XPS（X線外部光電分光器）によって検出したC-Siの原子%で測定する。1原子%のC-Siは、平均して、表面層において99個のシリコン原子毎にシリコンとの化学結合子を有する1個の炭素原子があることを意味する。1000°Cにおける酸化という極限状態でさえ、1原子%のC-Siという少なさで、酸化を抑制する著しい能力があった。25°Cの大気に対する露呈など、より穏やかな条件では、炭素の導入による酸化抑制能力は更に大きくなる。

【0023】理論上は、表面の炭素の濃度は、50原子%という高さにすることができる。この濃度では、シリコンと炭素の比率は1:1であり、シリコン表面は完全に炭化珪素になる。これは、酸化に対する妥協（intolerance）として知られている。しかしながら、その後のシリサイド化プロセスでは、シリコン表面の炭素濃度は低く、シリコンの表面自体に集中することが望ましい。

【0024】SiC形成熱量（約15Kcal/mol）は、一般的なシリサイド形成熱量よりも低い（TiSi<sub>2</sub>:32Kcal/mole、NiSi:20Kcal/mole、CoSi<sub>2</sub>:24Kcal/mol）。したがって、シリサイド反応自体は、シリコン表面の炭素の存在による影響を受けない。一方、余りに多くの炭素がシリサイドに導入されると、炭素は著しい不純物になるので、シリサイドの抵抗性は増す。例えば、約20オングストロームの深さまでシリコン表面に導入された1原子%の炭素は、200オングストロームのシリサイド化の後にシリサイド内に0.1~0.2原子%の炭素不純物を生じる。この場合、少量の不純物は、シリサイドの抵抗性に著しい影響を及ぼさない（1%未満の抵抗性の増加）。

【0025】炭素含有表面層の望ましい炭素の濃度と厚さは、所望のシリサイドの厚さと抵抗性を考慮して従来技術によって決定することができる。実際上は、シリサイド化については、炭素含有シリコン層は、約1原子%~50原子%の濃度を有し、約10オングストローム~50オングストロームの厚さを有していれば殆どの応用

に十分である。しかしながら、これらの数字は例示および説明に過ぎず、一般的な抗酸化層形成法としての本発明の応用を限定するものではない。

【0026】炭素含有シリコン表面層の厚さと濃度は、炭素導入のプラズマ条件を調整することにより制御することができる。こうした条件としては、炭素含有ガスの流量、ペエデスタイル (pedestal) に加わる圧力、電力、磁界、バイアス、チャンバ壁と基板の温度、チャンバ壁とその他の部分の材料、ウエハ内の炭素含有材料の量、プラズマ処理の時間などがある。これらのプラズマ条件の調整は公知の技術の範囲内であり、プラズマの炭素含有粒子数の密度とセルフバイアスを制御する。炭素含有シリコン表面層の厚さと濃度は、所望のシリサイド化を達成するように調整することができる。例えば、1000 eV運動エネルギーで伝達される炭素イオンは、シリコンマトリックスの内部に50オングストロームの深さまで注入することができる。300 eVでは、炭素イオンは20～30オングストロームの深さまで注入することができる。

【0027】他の方法を使っても、シリコン基板の表面に炭素を導入することができる。例えば、薄い炭素層をスパッタリングによってシリコン基板に形成することができ、次に、ウエハをプラズマに露呈することができる。プラズマから衝突するイオンは、下にあるシリコン基板内に炭素原子を“ノックオン”、つまり導入する。低エネルギーのイオン注入を用いても、炭素粒子をシリコン内に導入することができる。

#### 【0028】(2) 半導体装置製造プロセスに対する応用

炭素含有シリコン表面を形成した後、基板は任意の適切な方法で、例えばシリサイド化によって更に処理することができる。Co、Ni、Mo、W、Ptなどの金属は、スパッタリングによって成膜することができる。連続熱処理は、シリコンと金属間にシリサイド化反応を生じる。このプロセスは、自己整合方法 (SALICIDEプロセス) で実施することができる。

【0029】金属はMOSFETまたはその他の半導体装置を含むウエハまたは基板全体に成膜することができるが、シリサイド化は、シリコンおよび金属が直接接触している部分で選択的に進行するだけである。したがって、シリサイド層はソース／ドレイン領域とゲート電極上には形成されるが、側壁の絶縁膜と半導体装置の分離のためのその他の絶縁膜上には形成されない。これらの絶縁膜上の反応しない金属は、例えばHNO<sub>3</sub>またはH<sub>2</sub>SO<sub>4</sub>およびH<sub>2</sub>O<sub>2</sub>の溶液中にウエハを浸漬することにより除去することができる。

【0030】抗酸化層が、本発明のように金属成膜以前にシリコン表面に形成される場合、シリコン表面上のSiO<sub>2</sub>によるシリサイド化反応に対する妨げはなくなる。シリサイド化の均質な開始は、抗酸化層の形成に関

連して生じるわずかな非結晶質化によっても促進する。したがって、本発明では、滑らかで安定したシリサイド層を、ULSI内の小さいサイズの半導体装置に必要な非常に薄い拡散層上に好適に形成することができる。

【0031】本発明は、基板上の特定部分の水平面上に均一で電気的に分離されたシリコン層を選択形成する方法も目的としている。均一な（一様な厚さ）シリコン層は、低温と低圧で基板の水平面と垂直面のいずれにも符号するように成膜される。均一なシリコン層とシリコン成膜技法は、公知の技術の範囲内である。

【0032】次に、基板を炭素含有プラズマに露呈して、シリコン層の水平面上には炭素含有抗酸化層を選択形成する。この場合、炭素含有抗酸化層は垂直面上には形成しない。水平面は炭素の衝撃の対象になるが、垂直面には炭素の導入は行われない。これは、炭素粒子が基板の水平面上に垂直に衝突するように、プラズマが周囲の部材に抗して発生させる正のセルフバイアスによる。

【0033】基板のその後の酸化は垂直面上のシリコンの酸化を生じるが、水平面は抗酸化層で保護されているので、水平面上では酸化は生じない。垂直面上に結果として生じる酸化物は、HF処理など、技術で公知の技法によって除去することができるか、あるいは絶縁側壁として使用される。したがって、本発明は、水平面上にのみ均一で電気的に分離されたシリコンを形成し、その際、選択シリコン成膜技法に関連する困難は伴わない。

【0034】図3～図9に示すとおり、本発明のこの実施の形態は、サリサイド (SALICIDE) 技術による高架型ソース／ドレインMOSFETの製造プロセスである。

【0035】図3は、結晶シリコン基板200に形成されているソース／ドレイン領域110、111、120および121（つまり、拡散層）、ゲート絶縁膜310と320、ゲート電極410と420、ゲート側壁絶縁膜510と520、分離絶縁膜（700）を充填している浅いトレンチ601、602および603を有する一般的なMOSFETの断面を示す。これら領域および絶縁膜を形成する材料は、公知の技術の範囲内である。例えば、ゲート電極は、多結晶シリコン（ポリシリコン）で形成することができ、またゲート絶縁膜は基板表面への加熱処理による熱SiO<sub>2</sub>により形成することができる。また、ゲート側壁絶縁膜は窒化Si<sub>3</sub>N<sub>4</sub>で形成することができ、さらに分離絶縁膜は化学蒸着（CVD）技法によって成膜されるSiO<sub>2</sub>で形成することができる。このMOSFETの製造プロセスは、公知の技術の範囲内である。

【0036】すなわち、図4に示すとおり、基板上の各領域および絶縁膜は、炭素の供給源として炭素クランプレーリングを有するArプラズマなど、炭素含有プラズマ800に露呈される。その結果、炭素含有抗酸化層801、802、803、804、805および806がソ

ース／ドレイン領域上とゲート電極上とに形成される。

【0037】次に、図5に示すとおり、均一なシリコン層900が、基板の全面に、露出している部分の外形に符号するように形成される。該シリコン層の厚さは公知の技術の範囲内であり、約400オングストロームである。シリコン層900は、0.2 Torr、600°CでSiH<sub>4</sub>ガスを使用するCVDによるなど、公知の技術の範囲内の技法で形成することができる。抗酸化層801、802、803、804、805および806がなければ、薄いSiO<sub>2</sub>層がCVD工程以前とCVD工程中にソース／ドレイン領域とゲート電極上に形成されるだろう。シリコン表面とその上に成膜されたシリコン層900の間にSiO<sub>2</sub>層が形成されると、ソース／ドレイン／ゲートとシリコン層(900)との良好な電気接続が妨げられる。しかしながら、抗酸化層801、802、803、804、805および806はSiO<sub>2</sub>層の形成を防止し、良好な電気的接触を可能にする。

【0038】図6を参照すると、シリコン層900の不所望な部分は、公知の方法により除去する。分離絶縁膜700上のシリコン層900のいくつかの部分は除去されないまま残され、隣接する半導体装置との相互接続層として利用される。基板は炭素含有プラズマ800に露呈され、抗酸化層911、912、913、914および915がシリコン基板の水平方向の表面上にのみ形成される。

【0039】図7を参照すると、酸化処理により垂直方向の表面上のシリコン層を選択的に酸化し、ゲート電極410、420の側面上の該シリコン層部分を酸化膜表面921、922、923、924、925および926にする。効果的な酸化処理方法は、800°Cで20分間のウェット酸化など、公知の技術の範囲内である。水平面上のシリコン層部分は、抗酸化層911、912、913、914および915によって保護される。ゲート電極は、側壁の窒化物510および520によって保護される。このようにして、選択シリコン成膜と異なるシリコン層、すなわち、電気的に絶縁されかつ均一な厚さの均質なシリコン層が基板の水平面上に得られる。

【0040】酸化物921、922、923、924、925および926は、必要に応じて、HF処理など、公知の技術の範囲内の効果的な処理によって除去することができる。炭素プラズマ処理は、必要に応じて繰り返す。図8に示すとおり、金属膜1000が、スパッタリングなど、公知の技術の範囲内の技法により基板上に成膜される。金属の種類、例えばCo、および厚さは、公知の技術の範囲内である。一般的な厚さは、110オングストロームである。

【0041】窒素雰囲気における例えば500°Cでの急速熱放射アニーリング(RTA)は、金属とシリコンが直接接触する部分(すなわち、911、912、91

3、914および915)のシリサイド化を促進する。このようにして、平坦でかつなめらかなシリサイド膜が、炭素含有抗酸化層911、912、913、914および915によって、SiO<sub>2</sub>が存在せずかつわざかに非結晶質化した表面上に形成される。分離絶縁膜700およびゲート側壁絶縁膜510、520上の反応しない金属は、HNO<sub>3</sub>溶液中でウエハを洗浄することにより除去することができる。その後の熱処理、例えば700°Cという高温での熱処理は、シリサイド膜を安定化させることができ、シリコン膜900は、CoSi<sub>2</sub>などのほぼ完全なシリサイド膜1001、1002、1003、1004、1005になる。限定されるものではないが一般的にシリサイドの厚さは、約390オングストロームである。ソース／ドレイン領域のシリコンは消費されない。図9は、以上のようにして得られた、相互接続用シリサイド層1003を有する高架ソース／ドレインMOSFET上のSALICIDE構造を示す。

【0042】本発明の一実施の形態を添付図面を参照しながら詳しく説明してきたが、本発明はこの実施の形態に限定されるものではなく、当業者には、本発明の範囲と精神を逸脱することなく適宜変更、修正することができるものであることを理解するべきである。

【0043】

【発明の効果】以上述べたようにこの発明によれば、シリコン表面の酸化を効果的に防止することができ、しかもシリコン表面に非結晶質化表面を形成することにより、シリコン拡散層とこのシリコン拡散層の上に成膜される金属膜との間に、なめらかで平坦かつ安定したシリサイド層を形成することができる。

【図面の簡単な説明】

【図1】同図(a)はシリサイド／シリコンの界面が不良な薄い拡散上の薄いシリサイド膜の形成を示す図、および同図(b)はその一部分を示す図。

【図2】炭素含有シリコン層の酸化防止能力を説明するための、1000°C乾燥酸化で5分後の酸化膜の厚さをシリコン表面に導入される炭素成分の関数として示した図。

【図3】高架型ソース／ドレインMOSFETの製造およびその後の自己整合シリサイド化(SALICIDE)プロセスの際の水平面上の炭素含有層の形成を示す図。

【図4】高架型ソース／ドレインMOSFETの製造およびその後の自己整合シリサイド化(SALICIDE)プロセスの際の水平面上の炭素含有層の形成を示す図。

【図5】高架型ソース／ドレインMOSFETの製造およびその後の自己整合シリサイド化(SALICIDE)プロセスの際の水平面上の炭素含有層の形成を示す図。

【図6】高架型ソース／ドレインMOSFETの製造お

およびその後の自己整合シリサイド化 (SALICIDE) プロセスの際の水平面上の炭素含有層の形成を示す図。

【図7】高架型ソース／ドレインMOSFETの製造およびその後の自己整合シリサイド化 (SALICIDE) プロセスの際の水平面上の炭素含有層の形成を示す図。

【図8】高架型ソース／ドレインMOSFETの製造およびその後の自己整合シリサイド化 (SALICIDE) プロセスの際の水平面上の炭素含有層の形成を示す図。

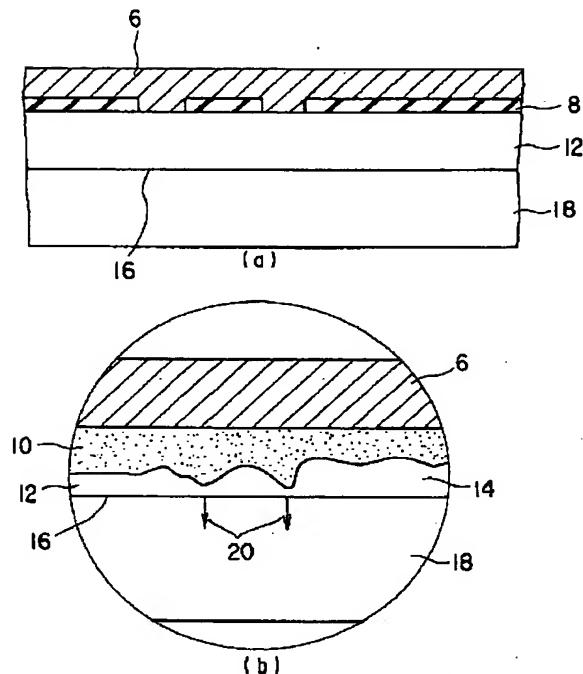
【図9】高架型ソース／ドレインMOSFETの製造およびその後の自己整合シリサイド化 (SALICIDE) プロセスの際の水平面上の炭素含有層の形成を示す

図。

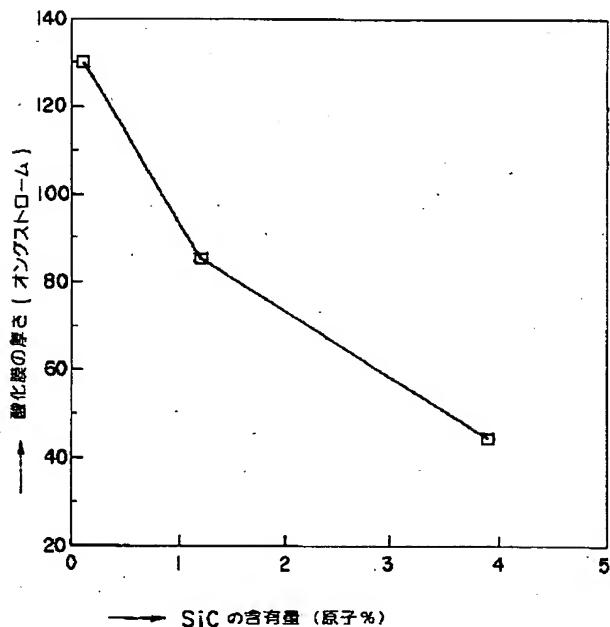
【符号の説明】

6…金属、8…SiO<sub>2</sub>表面、10…シリサイド膜、12…シリコン拡散層、18…シリコン領域、110、111、120、121…ソース／ドレイン領域（拡散層）、200…シリコン基板、310、320…ゲート絶縁膜、410、420…ゲート電極、601、602、603…トレチ、700…分離絶縁膜、800…プラズマ、801、802、803、804、805、806；911、912、913、914、915…抗酸化層、900…シリコン層、酸化膜表面…921、922、923、924、925、926…酸化膜表面、1000…金属膜、1001、1002、1003、1004、1005…シリサイド膜

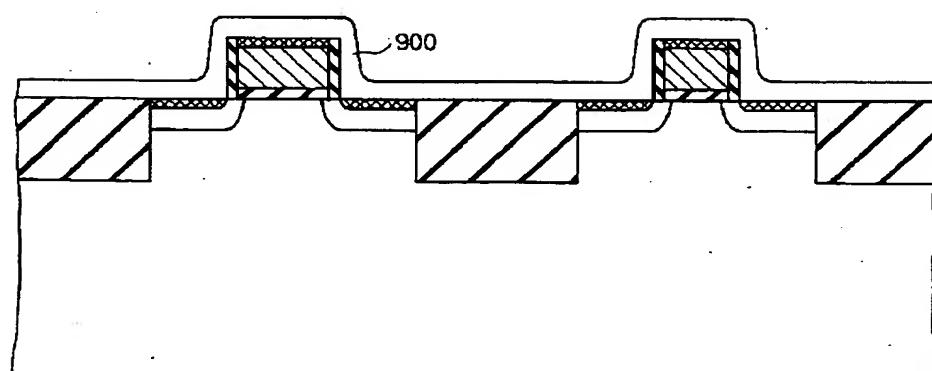
【図1】



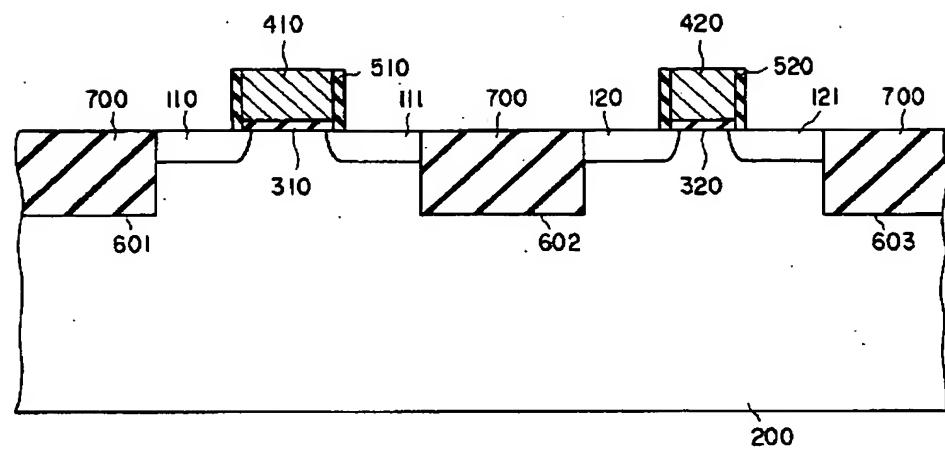
【図2】



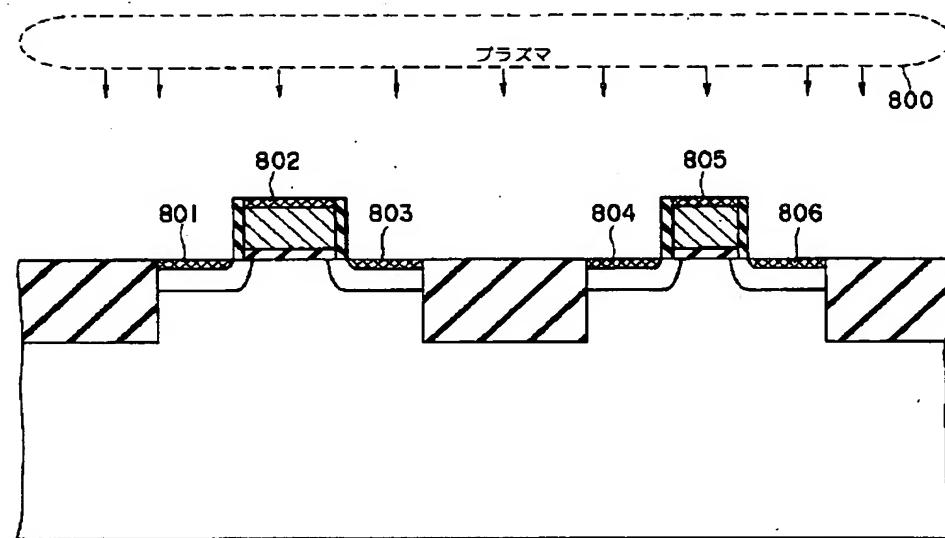
【図5】



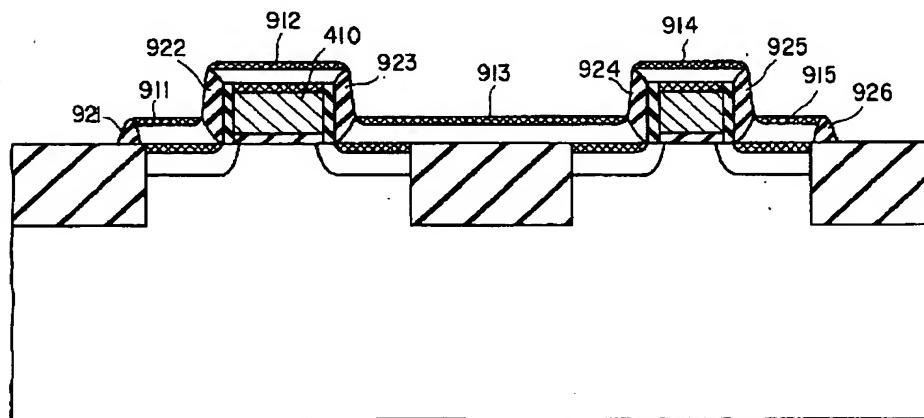
【図3】



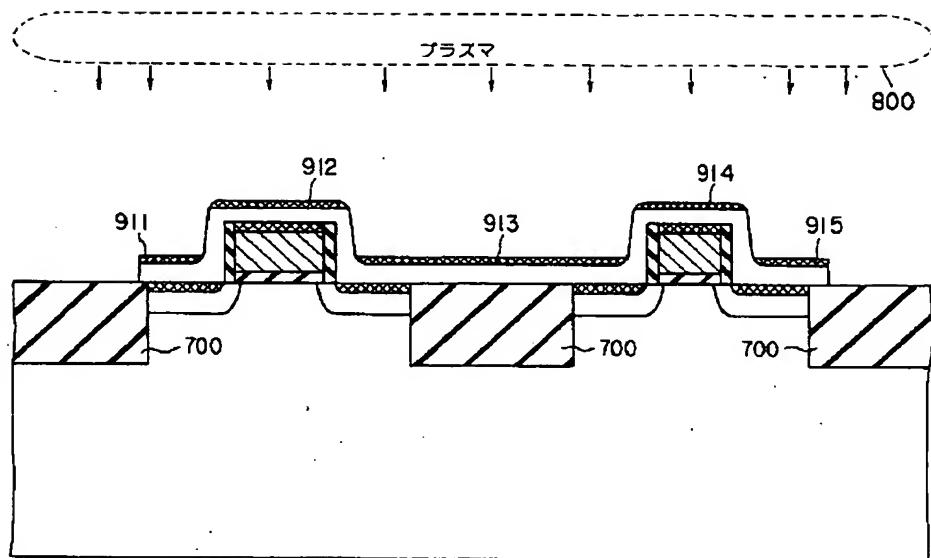
【図4】



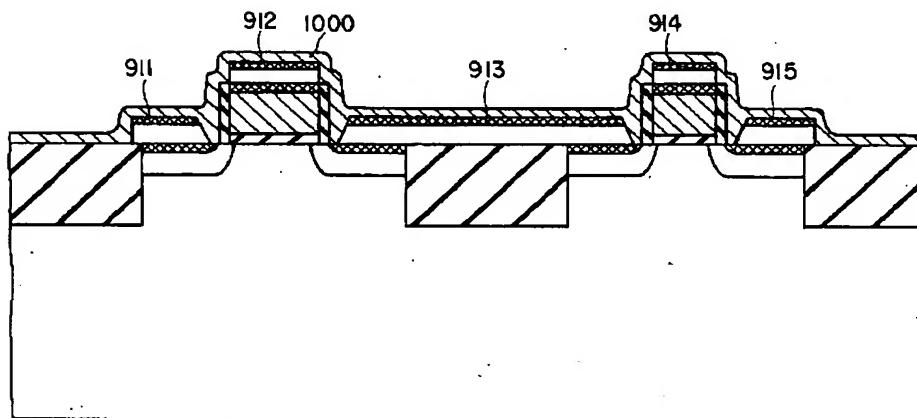
【図7】



【図 6】



【図 8】



【図 9】

